

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-51347

(43) 公開日 平成8年(1996)2月20日

(51) Int.Cl.⁵

H 0 3 K 5/151

識別記号

庁内整理番号

F I

技術表示箇所

H 0 3 K 5/ 15

C

審査請求 未請求 請求項の数 2 F D (全 8 頁)

(21) 出願番号

特願平6-202976

(22) 出願日

平成6年(1994)8月5日

(71) 出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72) 発明者 安田 禎之

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

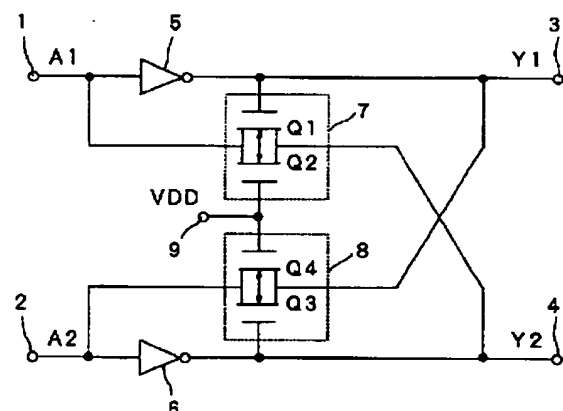
(74) 代理人 弁理士 長尾 常明

(54) 【発明の名称】 位相整合回路

(57) 【要約】

【目的】 入力する相補信号に位相差があっても、位相を揃えた出力信号を得る。

【構成】 第1入力端子と第1出力端子の間に、第2入力端子と第2出力端子の間に、それぞれ第1、第2インバータ回路を接続し、第1入力端子と第2出力端子との間に第1インバータ回路の出力が低レベルのとき低コンダクタンス、高レベルのとき高コンダクタンスとなる第1伝達回路を接続し、第2入力端子と第1出力端子との間に第2インバータ回路の出力が低レベルのとき低コンダクタンス、高レベルのとき高コンダクタンスとなる第2伝達回路を接続する。



(2)

1

【特許請求の範囲】

【請求項1】制御端子、第1端子、及び第2端子を有し、上記制御端子に入力する信号に応じて第1端子と第2端子の間を高コンダクタンス又は低コンダクタンスに制御する第1、第2伝達回路と、第1、第2インバータ回路とから成り、

上記第1インバータ回路の入力端子を上記第1伝達回路の上記第1端子に接続するとともに、上記第1インバータ回路の出力端子を上記第1伝達回路の制御端子、及び上記第2伝達回路の上記第2端子に接続し、

上記第2インバータ回路の入力端子を上記第2伝達回路の上記第1端子に接続するとともに、上記第2インバータ回路の出力端子を上記第2伝達回路の制御端子、及び上記第1伝達回路の上記第2端子に接続し、

上記第1インバータ回路の入力端子を第1入力端子、出力端子を第1出力端子とし、上記第2インバータ回路の入力端子を第2入力端子、出力端子を第2出力端子とし、

上記第1、第2入力端子に一方がハイレベルなら他方がローレベルとなる相補信号を入力し、これら相補信号相互に位相差がある場合でも、上記第1、第2出力端子から位相の揃った相補信号を得ることができることを特徴とする位相整合回路。

【請求項2】上記請求項1の回路及び第3インバータ回路からなり、

上記第3インバータ回路の入力端子を上記第1インバータ回路の入力端子に共通接続し、

上記第3インバータ回路の出力端子を上記第2インバータ回路の入力端子に接続し、

上記第3インバータ回路の入力端子に信号を入力し、上記第1、第2出力端子から位相の揃った相補信号を取り出すことを特徴とする位相整合回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はデジタル集積回路において、位相が揃った信号（例えば、正相と逆相のクロック）を発生する位相整合回路に関するものである。

【0002】

【従来の技術】図13はインバータ回路を用いて相補信号を生成する回路を示す回路図である。図13の(a)において、101は入力端子、102は正相出力端子、103は逆相出力端子、104はインバータ回路である。インバータ回路104は逆相信号を出力するために伝搬遅延時間 T_{pd} を要するので、正相信号に対して逆相信号は位相が遅れる。

【0003】

【発明が解決しようとする課題】この問題を解決するために、図13の(b)に示すように、従来では、上記時間 T_{pd} と同程度の遅延を持ち、信号が反転しない素子105を挿入することによって、位相を合わせていた。

2

【0004】しかながら、異なった構成の回路を経由するため、素子105のバラツキにより位相を一致させることは難しかった。

【0005】本発明は以上の問題点を解決し、位相の揃った相補信号を得ることができるようにした位相整合回路を提供することを目的とするものである。

【0006】

【課題を解決するための手段】このために、本発明の位相整合回路は、制御端子、第1端子、及び第2端子を有し、上記制御端子に入力する信号に応じて第1端子と第2端子の間を高コンダクタンス又は低コンダクタンスに制御する第1、第2伝達回路と、第1、第2インバータ回路とから成り、上記第1インバータ回路の入力端子を上記第1伝達回路の上記第1端子に接続するとともに、上記第1インバータ回路の出力端子を上記第1伝達回路の制御端子、及び上記第2伝達回路の上記第2端子に接続し、上記第2インバータ回路の入力端子を上記第2伝達回路の上記第1端子に接続するとともに、上記第2インバータ回路の出力端子を上記第2伝達回路の制御端子、及び上記第1伝達回路の上記第2端子に接続し、上記第1インバータ回路の入力端子を第1入力端子に、出力端子を第1出力端子とし、上記第2インバータ回路の入力端子を第2入力端子、出力端子を第2出力端子とし、上記第1、第2入力端子に一方がハイレベルなら他方がローレベルとなる相補信号を入力し、これら相補信号相互に位相差がある場合でも、上記第1、第2出力端子から位相の揃った相補信号を得ることができるよう構成した。

【0007】本発明では、上記請求項1の回路に加えて第3インバータ回路を設け、上記第3インバータ回路の入力端子を上記第1インバータ回路の入力端子に共通接続し、上記第3インバータ回路の出力端子を上記第2インバータ回路の入力端子に接続し、上記第3インバータ回路の入力端子に信号を入力し、上記第1、第2出力端子から位相の揃った相補信号を取り出すように構成することもできる。

【0008】

【作用】本発明では、第1インバータ回路の出力信号によって制御される第1伝達回路によって第1入力端子の信号レベルを第2出力端子の出力信号に供給させ、第2インバータ回路の出力信号によって制御される第2伝達回路によって第2入力端子の信号レベルを第1出力端子の出力信号に供給させることにより、第1、第2出力端子から位相の揃った信号を得る。

【0009】

【実施例】以下、本発明の実施例を説明する。本発明では、従来、複数の信号が異なった構成の回路を経由して位相を揃えていたのに対し、全ての信号が複数の同じ回路を通過するとともに、伝達回路を用いて位相の進んだ信号を帰還させている。これにより、入力信号の位相が

(3)

3

揃っていないくても、位相を揃えて出力する。

【0010】図1は位相整合回路の第1実施例を示す回路図である。1は第1入力端子、2は第2入力端子、3は第1出力端子、4は第2出力端子、5は第1入力端子1と第1出力端子3との間に接続される第1CMOSインバータ回路、6は第2入力端子2と第2出力端子4との間に接続される第2CMOSインバータ回路、7は第1伝達回路、8は第2伝達回路である。

【0011】第1伝達回路7は、ゲート幅の大きいnMOSトランジスタQ1とゲート幅の小さいnMOSトランジスタQ2のドレイン、ソースを各々共通接続した並列接続構成で成る。そして、一方のトランジスタQ1のゲート(制御端子)は第1CMOSインバータ回路5の出力側に接続され、他方のトランジスタQ2のゲートは高レベル電圧(例えば、電圧VDD)の端子9に接続され、一方の並列接続端子は第1の入力端子1に、他方の並列接続端子は第2の出力端子4に接続されている。

【0012】第2伝達回路8も、ゲート幅の大きいnMOSトランジスタQ3とゲート幅の小さいnMOSトランジスタQ4のドレイン、ソースを各々共通接続した並列接続構成で成る。そして、一方のトランジスタQ3のゲート(制御端子)は第2CMOSインバータ回路6の出力側に接続され、他方のトランジスタQ4のゲートは上記端子9に接続され、一方の並列接続端子は第2の入力端子2に、他方の並列接続端子は第1の出力端子3に接続されている。

【0013】上記第1伝達回路7は、制御端子(トランジスタQ1のゲート)に印加する電圧を高レベル/低レベルで切り替えることにより、ソース、ドレインの共通接続端子相互間を高コンダクタンス状態(トランジスタQ1、Q2の両者が導通)/低コンダクタンス状態(トランジスタQ2のみ導通)に制御できる。これは、第2伝達回路8についても同様である。

【0014】次に動作を説明する。第1入力端子1に入力する正相信号と第2入力端子2に入力する逆相信号の位相が完全に一致している場合には、正相/逆相の回路が合同であるため、第1、第2出力端子3、4に得られる出力信号の位相も完全に一致する。

【0015】第2入力端子2に入力する信号A2の位相が、第1入力端子1に入力する信号A1の位相よりも遅れている場合の第1、第2出力端子3、4の信号Y1、Y2の波形を図2に示す。なお、出力信号Y1、Y2において破線で示したものは、伝達回路7、8がない場合の第1、第2CMOSインバータ回路5、6の出力波形である。

【0016】まず、入力信号A1が高レベル、A2が低レベルのとき、出力信号Y2は高レベルである。このとき、第2伝達回路8のトランジスタQ3が導通して第2入力端子2と第1出力端子3が導通している。また、第1伝達回路7のトランジスタQ1は遮断しているが、こ

4

れと対のトランジスタQ2が導通しているので、その導通抵抗を介して第1入力端子1と第2出力端子4が弱く(高抵抗で)接続されている。

【0017】この後、入力信号A1が低レベルになると、第1CMOSインバータ回路5が反転してその出力信号Y1がプルアップされる。ただし、第1出力端子3は第2伝達回路8のトランジスタQ3を介して第2入力端子2と導通しているので、その立ち上がりは第2伝達回路8がない場合に比べて遅くなる。このとき、第2CMOSインバータ回路6は依然として高レベルの信号を出力している。しかし、第2出力端子4は第1伝達回路7のトランジスタQ2を介して第1入力端子1と弱く接続されているので、徐々にプルダウンされる。

【0018】この後、出力信号Y2が論理閾値(例えばVDD/2)よりも低くなると、第2伝達回路8のトランジスタQ3が遮断し、第2入力端子2と第1出力端子3との間の接続が弱くなるので、入力信号A2の立ち上がりが遅れたとしても、出力信号Y1の電位は急速に上昇する。

【0019】この出力信号Y1が高レベルになると、第1伝達回路7のトランジスタQ1が導通するので、入力信号A2の立ち上がりが遅れたとしても、出力信号Y2の電位は急速に降下する。入力信号A2の立ち上がりが入力信号A1の立ち下がりと同時に場合、いずれの遷移も更に速やかに行なわれる。

【0020】入力信号A1が低レベルから高レベルになると、第1CMOSインバータ回路5は反転してその出力信号Y1はプルダウンされる。このとき、第1出力端子3は第2伝達回路8のトランジスタQ3を介して弱く接続されているので、その立ち下がりはその第2伝達回路8がない場合に比べて遅くなる。また、第2CMOSインバータ回路6は依然として低レベルの出力信号を出力している。しかし、第2出力端子4は第1伝達回路7を介して入力端子1と接続されているので、急速にプルアップされる。

【0021】出力信号Y2が論理閾値よりも高くなると、第2伝達回路8のトランジスタQ3が導通し、第2入力端子2が第1出力端子3に接続されるので、入力信号A2の立ち下がり遅れている場合には、出力信号Y1のプルダウンは遅くなり、入力信号A2の立ち上がりが完了すると同時に出力信号Y1は低レベルとなる。

【0022】出力信号Y2の電位は、予め第1伝達回路7のトランジスタQ1を介して徐々にプルアップされているので、入力信号A2が立ち下がり第2CMOSインバータ回路6が反転すると、出力信号Y2の電位は速やかに高レベルに上昇する。入力信号A2の立ち下がりが入力信号A1の立ち上がりと同時に場合、いずれの遷移も更に速やかに行なわれる。

【0023】このように、第1、第2伝達回路7、8がない場合には、入力信号A1、A2の位相差がそのまま

(4)

5

出力信号Y1、Y2の位相差となるが、図1に示す構成を採用すると、出力端子3、4から位相の揃った信号を得ることができる。図2では入力信号A2の位相が入力信号A1の位相よりも遅れて入力される場合を例に説明したが、逆の場合も同様にして位相の揃った信号を得ることができる。

【0024】図3は位相整合回路の第2実施例を示す回路図である。この実施例は、第3CMOSインバータ回路10により入力信号A1から入力信号A2を得るようにしたものである。すなわち、第3CMOSインバータ回路10の入力端子を第1CMOSインバータ回路5の入力端子と共通接続し、出力端子を第2CMOSインバータ回路6の入力端子に接続したものである。

【0025】この第2実施例では、第3CMOSインバータ回路10の入力端子に信号A1を入力すると、その第2CMOSインバータ回路10の出力端子には、入力信号よりも伝搬遅延時間 T_{pd} だけ遅れて逆相の信号A2が出力される。正相信号を受け入れた第1CMOSインバータ回路5と T_{pd} だけ遅れた逆相信号を受け入れた第2CMOSインバータ回路6は、図1に示した第1実施例の位相整合回路と同様に動作し、第1、第2出力端子3、4から位相の揃った相補信号を得ることができる。

【0026】なお、図1、図3に示した第1、第2実施例の回路において、第1伝達回路7、第2伝達回路8のゲート幅の大きいnMOSトランジスタQ1、Q3、ゲート幅の小さいnMOSトランジスタQ2、Q4は次のように置換することができ、この組み合わせでも同様に出力信号の位相を揃えることができる。

【0027】すなわち、第1伝達回路7のゲート幅の大きいnMOSトランジスタQ1をゲート幅の大きいpMOSトランジスタに置き換えて、このトランジスタのゲートを第1CMOSインバータ回路5の出力端子に接続し、第2伝達回路8のゲート幅の大きいnMOSトランジスタQ3をゲート幅の大きいpMOSトランジスタに置き換えて、このトランジスタノゲートを第2CMOSインバータ6の出力端子に接続する。また、第1、第2伝達回路7、8のゲート幅の小さいnMOSトランジスタQ2、Q4は、これを抵抗素子に置き換えるか、又はゲート幅の小さいpMOSトランジスタに置き換えそのゲートに低レベルの電位を与える。

【0028】この組み合わせ構成のときは、第1CMOSインバータ回路5の出力が低レベルのとき第1伝達回路7のpMOSトランジスタが導通してその入出力間が高コンダクタンスになって第2出力端子4の電位を制御し、第2CMOSインバータ回路6の出力が低レベルのとき第2伝達回路8のpMOSトランジスタが導通してその入出力間が高コンダクタンスになって、第1出力端子3の電位を制御して、第1、第2出力端子3、4の信号の位相を揃えることができる。

【0029】次に、本発明の位相整合回路の位相整合の

6

効果を図4にシミュレーション結果で示す。なお、ここでは、図1における第1、第2伝達回路7、8のゲート幅の小さいnMOSトランジスタQ2、Q4を同値の抵抗素子Rに置換して構成した図5に示す回路を用いた。

【0030】図4において、横軸には抵抗素子Rの抵抗値を示す。この値が小さいほどコンダクタンスが大きい。抵抗値が無限大の場合は、抵抗素子を全く接続しない場合（従ってnMOSトランジスタのみ）である。縦軸には信号の位相差を示す。

【0031】相補信号となるべき入力信号A1、A2の位相差（ $A2 - A1$ ）を実線P1で、本実施例の位相整合回路を通過させた場合の出力信号Y1、Y2の位相差（ $Y2 - Y1$ ）を点線P2、P3、P4で示す。P1は図5に示す回路を1段とした場合、P2は図6に示すように間に反転防止のためのインバータ回路11、12を介して本実施例の位相整合回路13を2段接続した場合、P3は同様にして3段接続した場合の特性を示している。

【0032】図4において、入力信号の位相特性P1で130psの位相差があった場合、本実施例の位相整合回路を1段通過させることにより、特性P2に示すように、位相差が少なくなることが分かる。抵抗素子Rの抵抗値は小さすぎると位相差の符号が反転すること、その抵抗値のバラツキによる位相差の変動が見込まれることを考慮すると、このシミュレーションの場合では、抵抗値は4～7K Ω （5K Ω 程度）とすることが望ましい。5K Ω の場合、特性P2で位相差は50psに低減される。

【0033】また、特性P2～P4より明らかなように、本実施例の位相整合回路を多段接続することにより一層位相差を軽減することが可能となることが分かる。抵抗値5K Ω で3段縦続接続（特性P4）した場合、位相差をほぼゼロとすることができる。

【0034】図7は位相整合回路の発展拡張の第3実施例のブロック図である。21～23は第1～第3入力端子、24～26は第1～第3出力端子、27～29は第1～第3の甲種論理回路、30～32は制御端子が高レベル（又は低レベル）になることにより入力端子（端子1）と出力端子（端子2）の間を導通させる第1～第3伝達回路である。

【0035】第1伝達回路30は第1入力端子21と第2出力端子25の間に、第2伝達回路31は第2入力端子22と第3出力端子26との間に、第3伝達回路32は第3入力端子23と第1出力端子24との間に接続されている。

【0036】そして、第1伝達回路30の制御端子は第1甲種論理回路27の出力端子に接続され、第2伝達回路31の制御端子は第2甲種論理回路28の出力端子に接続され、第3伝達回路32の制御端子は第3甲種論理回路29の出力端子に接続されている。

(5)

7

【0037】上記第1～第3甲種論理回路27～39は、図8に示すように、高レベルH(=V1[v])が入力すると低レベルL(=V2[v])を出力し、低レベルLが入力すると高レベルHと低レベルLの中間のレベルM(=V3[v]、例えば(V1+V2)/2[v])を出力し、中間レベルMが入力すると高レベルHを出力する。

【0038】第1入力端子21の入力信号レベルはV1、V2、V3、V1、V2、・・・の順に繰り返し、第2入力端子22の入力信号レベルはV2、V3、V1、V2、V3、・・・の順に繰り返し、第3入力端子23の入力信号レベルはV3、V1、V2、V3、V1の順に繰り返し、これらの信号相互は位相差がないか、あるいは位相差があっても信号の最小パルス幅よりも短い時間であるように入力する。

【0039】この実施例では、信号相互に入力時間差がある場合でも、図9に示すように第1～第3出力端子24～26から位相の揃った出力信号を得ることができる。

【0040】図10は、上記第3の実施例を変形した位相整合回路を示すブロック図である。図7に示した部分と同一の部分には同一の符号を付した。ここでは、第1入力端子21と第2甲種論理回路28の入力端子との間に乙種論理回路33を接続し、第1入力端子21と第3甲種論理回路29の入力端子との間に丙種論理回路34を接続している。

【0041】乙種論理回路33は図11に示すように、信号V1[v]が入力すると信号V3[v]を出力し、信号V2[v]が入力すると信号V1[v]を出力し、信号V3[v]が入力すると信号V2[v]を出力する。

【0042】また、丙種論理回路34は図12に示すように、信号V1[v]が入力すると信号V2[v]を出力し、信号V2[v]が入力すると信号V3[v]を出力し、信号V3[v]が入力すると信号V1[v]を出力する。

【0043】この図10に示す位相整合回路では、入力端子21にV1、V2、V3、V1、V2、・・・の順に繰り返す入力信号を入力させると、第1～第3出力端子24～26から位相の揃った信号を得ることができる。

【0044】

【発明の効果】以上から本発明の位相整合回路によれば、入力する2個の相補信号の位相を揃えることができ、また単相信号から位相の揃った相補信号をえることができるようになる。

【0045】このため、この位相整合回路を接続するこ

8

とによって、相補クロックの位相を揃えることができるので、この相補クロックを受けて動作するDFF等の順序回路の最高動作周波数を向上させる効果がある。

【0046】また、位相の揃った相補信号を得ることができるので、従来、相補信号を伝搬するために必要であった正相用と逆相用の2組の回路のうち、一方の伝送回路が不要となって、回路の占有面積を少なくできる効果がある。

【0047】更に、本発明の位相整合回路を接続することによって、正相用と逆相用の2組の回路の内、一方の伝送回路が不要となるので、回路の消費電力を少なくできる効果がある。

【図面の簡単な説明】

【図1】 本発明の第1実施例の位相整合回路の回路図である。

【図2】 図1の位相整合回路の動作の波形図である。

【図3】 本発明の第2実施例の位相整合回路の回路図である。

【図4】 本発明の位相整合回路のシミュレーション結果を示す位相特性図である。

【図5】 図4に示すシミュレーションに使用した位相整合回路の回路図である。

【図6】 シミュレーションに使用した位相整合回路の2段縦続接続のブロック図である。

【図7】 本発明の第3実施例の位相整合回路のブロック図である。

【図8】 第3実施例で使用した甲種論理回路の真理値の説明図である。

【図9】 第3実施例の動作の波形図である。

【図10】 本発明の第4実施例の位相整合回路のブロック図である。

【図11】 第4実施例で使用した乙種論理回路の真理値の説明図である。

【図12】 第4実施例で使用した丙種論理回路の真理値の説明図である。

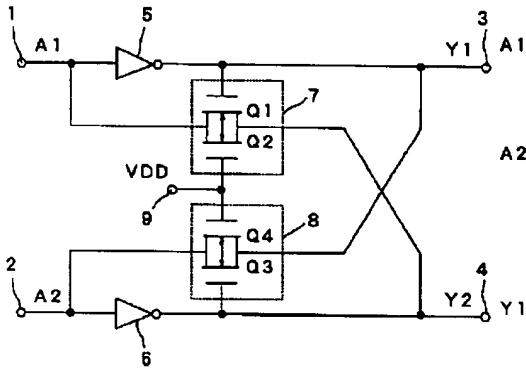
【図13】 従来の相補信号を得るための回路図である。

【符号の説明】

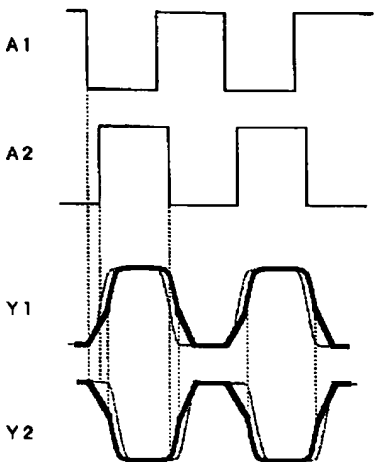
1～2：第1～第2入力端子、3～4：第1～第2出力端子、5～6：第2 CMOSインバータ回路、7～8：第1～第2伝達回路、9：高レベル電圧印加用の端子、10：第3 CMOSインバータ回路、11、12：インバータ回路、13：位相整合回路、21～23：第1～第3入力端子、24～26：第1～第3出力端子、27～29：第1～第3甲種論理回路、30～32：第1～第3伝達回路、33：乙種論理回路、34：丙種論理回路。

(6)

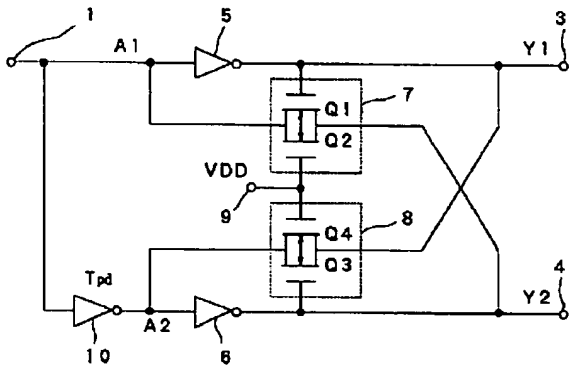
【図1】



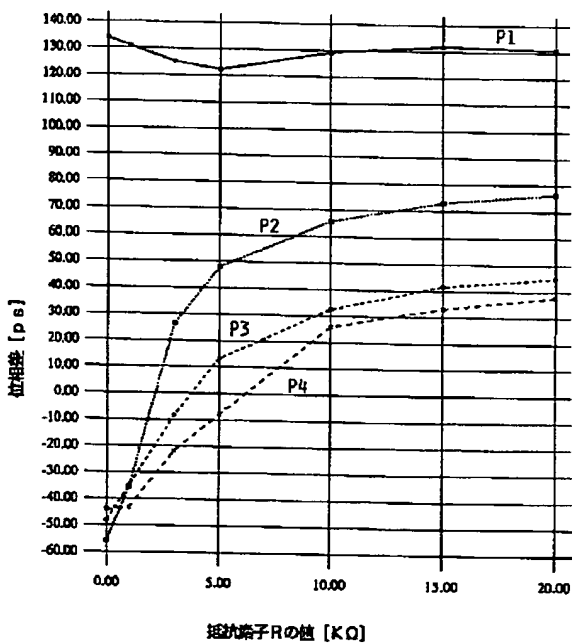
【図2】



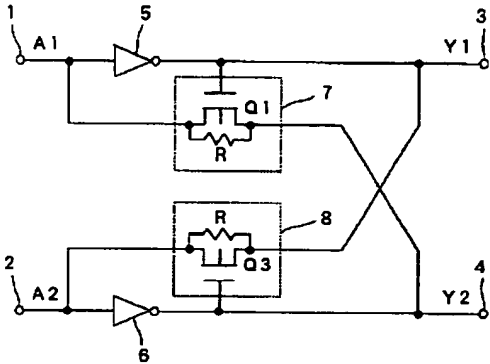
【図3】



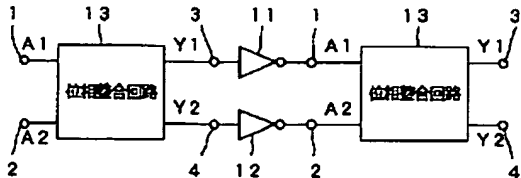
【図4】



【図5】

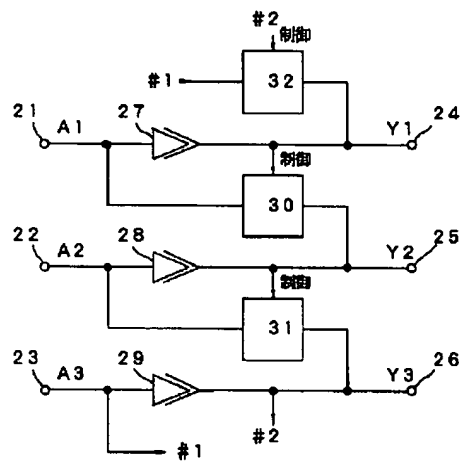


【図6】

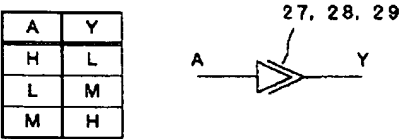


(7)

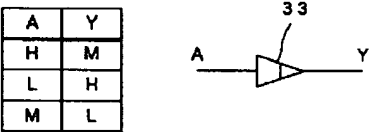
【図7】



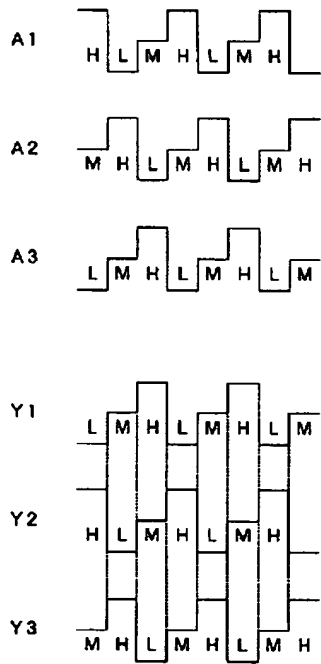
【図8】



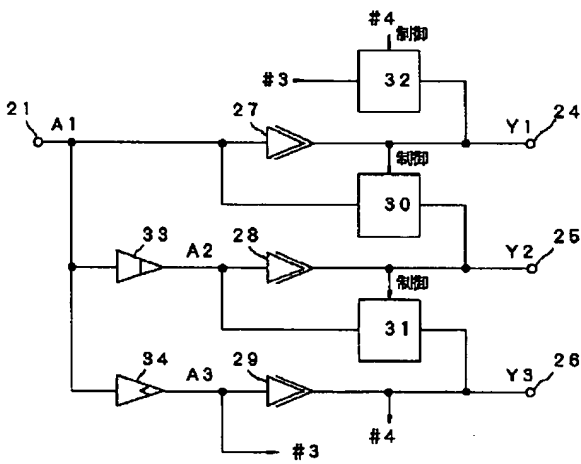
【図11】



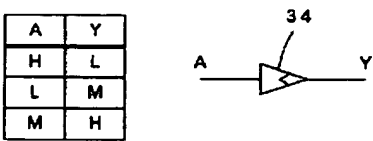
【図9】



【図10】

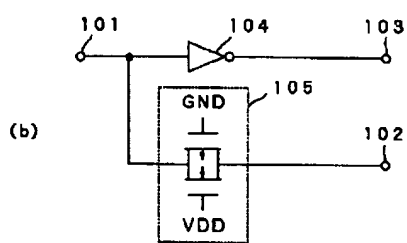
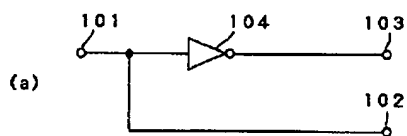


【図12】



(8)

【図13】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-051347

(43)Date of publication of application : 20.02.1996

(51)Int.Cl.

H03K 5/151

(21)Application number : 06-202976

(71)Applicant : NIPPON TELEGR & TELEPH CORP
<NTT>

(22)Date of filing : 05.08.1994

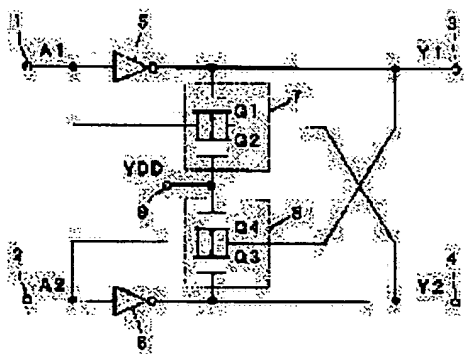
(72)Inventor : YASUDA YOSHIYUKI

(54) PHASE MATCHING CIRCUIT

(57)Abstract:

PURPOSE: To obtain a complementary signal of the same phase by making all the signals pass through the same circuit and making the signal of a leading phase feed back through the use of a transfer circuit.

CONSTITUTION: Transfer circuits 7 and 8 connect the source and drain of nMOS transistors of different gate widths in common and switch applied voltage into H/L by setting a gate to be a control terminal to make the interval between the source and drain in the state of high/low conductance. When an input signal A1 is H and an input signal A2 is L, an output signal Y2 is made H and terminals 1 and 4 are combined weakly. Hereafter, when A1 is made L, an output signal Y1 is raised and Y2 is made L gradually. When Y2 is made lower than a logical threshold value, Y1 is raised rapidly. Then when Y1 is made H, Y2 is lowered rapidly. When A1 is made H from L, Y1 is lowered. When Y2 is made higher than the logical threshold value, Y1 is made L by the completion of the rising of A2. Y2 is raised to H rapidly when an inverter circuit 6 is inverted.



LEGAL STATUS

[Date of request for examination] 18.02.2000

[Date of sending the examiner's decision of rejection] 09.10.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3611045

[Date of registration] 29.10.2004

[Number of appeal against examiner's decision of rejection] 2001-19993

[Date of requesting appeal against examiner's] 08.11.2001

decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The 1st and 2nd transfer circuit which controls between the 1st terminal and the 2nd terminal to high conductance or low conductance according to the signal which has a control terminal, the 1st terminal, and the 2nd terminal, and is inputted into the above-mentioned control terminal, While consisting of the 1st and 2nd inverter circuit and connecting the input terminal of the 1st inverter circuit of the above to the 1st terminal of the above of the above-mentioned 1st transfer circuit While connecting the output terminal of the 1st inverter circuit of the above to the control terminal of the above-mentioned 1st transfer circuit, and the 2nd terminal of the above of the above-mentioned 2nd transfer circuit and connecting the input terminal of the 2nd inverter circuit of the above to the 1st terminal of the above of the above-mentioned 2nd transfer circuit The output terminal of the 2nd inverter circuit of the above The control terminal of the above-mentioned 2nd transfer circuit, It connects with the 2nd terminal of the above of the above-mentioned 1st transfer circuit. The input terminal of the 1st inverter circuit of the above And the 1st input terminal, An output terminal is made into the 1st output terminal. The input terminal of the 2nd inverter circuit of the above The 2nd input terminal, Make an output terminal into the 2nd output terminal, and the complementary signal with which another side serves as a low level if one side is high-level to the 1st and 2nd input terminal of the above is inputted. The phase matching circuit characterized by the ability to acquire the complementary signal with which the phase gathered from the 1st and 2nd output terminal of the above even when phase contrast is in both these complementation signals.

[Claim 2] The phase matching circuit which consists of the circuit and the 3rd inverter circuit of above-mentioned claim 1, makes common connection of the input terminal of the 3rd inverter circuit of the above at the input terminal of the 1st inverter circuit of the above, and is characterized by taking out the complementary signal with which the output terminal of the 3rd inverter circuit of the above was connected to the input terminal of the 2nd inverter circuit of the above, the signal was inputted into the input terminal of the 3rd inverter circuit of the above and the phase gathered from the 1st and 2nd output terminal of the above.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the phase matching circuit which generates the signal (for example, clock of a non-inverter and opposition) with which the phase gathered in a digital integrated circuit.

[0002]

[Description of the Prior Art] Drawing 13 is the circuit diagram showing the circuit which generates a complementary signal using an inverter circuit. For 101, as for a non-inverter output terminal and 103, in (a) of drawing 13, an input terminal and 102 are [an opposition output terminal and 104] inverter circuits. Since an inverter circuit 104 outputs an opposition signal and propagation delay time Tpd is required, an opposition signal is in a phase to a non-inverter signal.

[0003]

[Problem(s) to be Solved by the Invention] In order to solve this problem, as shown in (b) of drawing 13, by the former, the phase was doubled by having delay comparable as the above-mentioned time amount Tpd, and inserting the component 105 which a signal does not reverse.

[0004] Since it went via the circuit of a configuration of having differed with the deer, it was difficult to have made a phase in agreement by the variation in a component 105.

[0005] This invention solves the above trouble and it aims at offering the phase matching circuit which enabled it to acquire the complementary signal with which the phase gathered.

[0006]

[Means for Solving the Problem] For this reason, the 1st and 2nd transfer circuit which controls between the 1st terminal and the 2nd terminal to high conductance or low conductance according to the signal which the phase matching circuit of this invention has a control terminal, the 1st terminal, and the 2nd terminal, and is inputted into the above-mentioned control terminal, While consisting of the 1st and 2nd inverter circuit and connecting the input terminal of the 1st inverter circuit of the above to the 1st terminal of the above of the above-mentioned 1st transfer circuit While connecting the output terminal of the 1st inverter circuit of the above to the control terminal of the above-mentioned 1st transfer circuit, and the 2nd terminal of the above of the above-mentioned 2nd transfer circuit and connecting the input terminal of the 2nd inverter circuit of the above to the 1st terminal of the above of the above-mentioned 2nd transfer circuit The output terminal of the 2nd inverter circuit of the above The control terminal of the above-mentioned 2nd transfer circuit, It connects with the 2nd terminal of the above of the above-mentioned 1st transfer circuit. The input terminal of the 1st inverter circuit of the above and to the 1st input terminal An output terminal is made into the 1st output terminal. The input terminal of the 2nd inverter circuit of the above The 2nd input terminal, Even when the output terminal was made into the 2nd output terminal, the complementary signal with which another side serves as a low level was inputted if one side was high-level to the 1st and 2nd input terminal of the above, and phase contrast was in both these complementation signals, it constituted so that the complementary signal with which the phase gathered could be acquired from the 1st and 2nd output terminal of the above.

[0007] In addition to the circuit of above-mentioned claim 1, the 3rd inverter circuit can be prepared, common connection of the input terminal of the 3rd inverter circuit of the above can be made at the input terminal of the 1st inverter circuit of the above, the output terminal of the 3rd inverter circuit of the above can be connected to the input terminal of the 2nd inverter circuit of the above, and a signal can be inputted into the input terminal of the 3rd inverter circuit of the above, and it can also constitute from this invention so that the complementary signal with which the phase gathered may be taken out from the 1st and 2nd output terminal of the above.

[0008]

[Function] In this invention, the signal with which the phase gathered is acquired from the 1st and 2nd output terminal by making the output signal of the 2nd output terminal supply the signal level of the 1st input terminal by the 1st transfer circuit controlled by the output signal of the 1st inverter circuit, and making the output signal of the 1st output terminal supply the signal level of the 2nd input terminal by the 2nd transfer circuit controlled by the output signal of the 2nd inverter circuit.

[0009]

[Example] Hereafter, the example of this invention is explained. if all signals pass through two or more same circuits to having arranged the phase via the circuit of a configuration of that two or more signals differed conventionally in this invention -- being also alike -- the signal with which the phase progressed using the transfer circuit is returned. Thereby, a phase is arranged and outputted even if the phase of an input signal has not gathered.

[0010] Drawing 1 is the circuit diagram showing the 1st example of a phase matching circuit. As for the 1st CMOS inverter circuit where the 1st output terminal and 4 are connected to the 2nd output terminal, and 5 is connected [1 / the 1st input terminal and 2] for the 2nd input terminal and 3 between the 1st input terminal 1 and the 1st output terminal 3, the 2nd CMOS inverter circuit where 6 is connected between the 2nd input terminal 2 and the 2nd output terminal 4, and 7, the 1st transfer circuit and 8 are the 2nd transfer circuits.

[0011] The 1st transfer circuit 7 changes with the parallel connection configuration which made common connection of the drain of the nMOS transistor Q1 and the nMOS transistor Q2 with small gate width with large gate width, and the source respectively. And the gate (control terminal) of one transistor Q1 is connected to the output side of the 1st CMOS inverter circuit 5, the gate of the transistor Q2 of another side is connected to the terminal 9 of a high-level electrical potential difference (for example, electrical potential difference VDD), one parallel connection terminal is connected to the 1st input terminal 1, and the parallel connection terminal of another side is connected to the 2nd output terminal 4.

[0012] The 2nd transfer circuit 8 also changes with the parallel connection configuration which made common connection of the drain of the nMOS transistor Q3 and the nMOS transistor Q4 with small gate width with large gate width, and the source respectively. And the gate (control terminal) of one transistor Q3 is connected to the output side of the 2nd CMOS inverter circuit 6, the gate of the transistor Q4 of another side is connected to the above-mentioned terminal 9, one parallel connection terminal is connected to the 2nd input terminal 2, and the parallel connection terminal of another side is connected to the 1st output terminal 3.

[0013] The above-mentioned 1st transfer circuit 7 can control between [of the source and a drain] common connection terminals in a high conductance condition (both of transistors Q1 and Q2 flow) / the low conductance condition (only a transistor Q2 flows) by changing the electrical potential difference impressed to a control terminal (gate of a transistor Q1) by the high level/low. This is the same also about the 2nd transfer circuit 8.

[0014] Next, actuation is explained. Since the circuit of a non-inverter/opposition is congruent when the phase of the opposition signal inputted into the non-inverter signal inputted into the 1st input terminal 1 and the 2nd input terminal 2 is completely in agreement, the phase of the output signal acquired by the 1st and 2nd output terminal 3 and 4 is also completely in agreement.

[0015] The phase of the signal A2 inputted into the 2nd input terminal 2 shows the wave of the signals Y1 and Y2 of the 1st and 2nd output terminal 3 and 4 in the case of being behind the phase of the signal

A1 inputted into the 1st input terminal 1 to drawing 2. In addition, it is the output wave of the 1st and 2nd CMOS inverter circuits 5 and 6 in case there are no transfer circuits 7 and 8 which was shown with the broken line in output signals Y1 and Y2.

[0016] First, when an input signal A1 is a high level and A2 is a low, an output signal Y2 is a high level. At this time, the transistor Q3 of the 2nd transfer circuit 8 flowed, and the 2nd input terminal 2 and the 1st output terminal 3 have flowed. Moreover, although the transistor Q1 of the 1st transfer circuit 7 is intercepted, since this and a pair of transistor Q2 have flowed, the 1st input terminal 1 and the 2nd output terminal 4 are weakly connected through the flow resistance (by high resistance).

[0017] Then, if an input signal A1 is set to a low, the 1st CMOS inverter circuit 5 will be reversed, and pull-up of that output signal Y1 will be carried out. However, since the 1st output terminal 3 has flowed with the 2nd input terminal 2 through the transistor Q3 of the 2nd transfer circuit 8, the standup becomes late compared with the case where there is no 2nd transfer circuit 8. At this time, the 2nd CMOS inverter circuit 6 is still outputting the signal of a high level. However, since it connects with the 1st input terminal 1 weakly through the transistor Q2 of the 1st transfer circuit 7, the 2nd output terminal 4 is pulldown ***** gradually.

[0018] Then, if an output signal Y2 becomes lower than a logic threshold (for example, $V_{DD}/2$), since the transistor Q3 of the 2nd transfer circuit 8 will intercept and connection between the 2nd input terminal 2 and the 1st output terminal 3 will become weak, even if the standup of an input signal A2 is overdue, the potential of an output signal Y1 rises quickly.

[0019] If this output signal Y1 is set to a high level, since the transistor Q1 of the 1st transfer circuit 7 will flow, even if the standup of an input signal A2 is overdue, the potential of an output signal Y2 descends quickly. When the standup of an input signal A2 is falling and coincidence of an input signal A1, any transition is performed still more promptly.

[0020] When an input signal A1 is set to a high level from a low, for the 1st CMOS inverter circuit 5, it is reversed and the output signal Y1 is pulldown ***** . Since the 1st output terminal 3 is weakly ***** (ed) through the transistor Q of the 2nd transfer circuit 8 at this time, that falling becomes late compared with the case where that 2nd transfer circuit 8 does not exist. Moreover, 2nd CMOS inverter 6 is still outputting the output signal of a low. However, since the 2nd output terminal 4 is connected with the input terminal 1 through the 1st transfer circuit 7, pull-up is carried out quickly.

[0021] the case where falling of an input signal A2 is behind since the transistor Q3 of the 2nd transfer circuit 8 will flow and the 2nd input terminal 2 will be connected to the 1st output terminal 3, if an output signal Y2 becomes higher than a logic threshold -- pulldown ** of an output signal Y1 -- it becomes late, and an output signal Y1 serves as a low at the same time the standup of an input signal A2 is completed.

[0022] Since pull-up of the potential of an output signal Y2 is beforehand carried out gradually through the transistor Q1 of the 1st transfer circuit 7, if an input signal A2 falls and the 2nd CMOS inverter circuit 6 is reversed, the potential of an output signal Y2 will rise to a high level promptly. When falling of an input signal A2 is the standup and coincidence of an input signal A1, any transition is performed still more promptly.

[0023] Thus, if the configuration shown in drawing 1 is adopted although the phase contrast of input signals A1 and A2 turns into phase contrast of output signals Y1 and Y2 as it is when there are no 1st and 2nd transfer circuits 7 and 8, the signal with which the phase gathered can be acquired from output terminals 3 and 4. Although drawing 2 explained the case where the phase of an input signal A2 was inputted later than the phase of an input signal A1 to the example, also when reverse, the signal with which the phase gathered similarly can be acquired.

[0024] Drawing 3 is the circuit diagram showing the 2nd example of a phase matching circuit. This example acquires an input signal A2 from an input signal A1 by the 3rd CMOS inverter circuit 10. That is, common connection of the input terminal of the 3rd CMOS inverter circuit 10 is made with the input terminal of the 1st CMOS inverter circuit 5, and an output terminal is connected to the input terminal of the 2nd CMOS inverter circuit 6.

[0025] In this 2nd example, if a signal A1 is inputted into the input terminal of the 3rd CMOS inverter

circuit 10, later than an input signal only in propagation delay time T_{pd} , the signal A2 of opposition will be outputted to the output terminal of that 2nd CMOS inverter circuit 10. The 1st CMOS inverter circuit 5 in which the non-inverter signal was accepted, and the 2nd CMOS inverter circuit 6 in which the opposition signal in which only T_{pd} was accepted can operate like the phase matching circuit of the 1st example shown in drawing 1, and can acquire the complementary signal with which the phase gathered from the 1st and 2nd output terminal 3 and 4.

[0026] In addition, in the circuit of the 1st and 2nd example shown in drawing 1 and drawing 3, the nMOS transistors Q1 and Q3 with the large gate width of the 1st transfer circuit 7 and the 2nd transfer circuit 8 and the nMOS transistors Q2 and Q4 with small gate width can be permuted as follows, and can arrange the phase of an output signal similarly in this combination.

[0027] The nMOS transistor Q1 with the large gate width of ***** and the 1st transfer circuit 7 is transposed to a pMOS transistor with large gate width, the gate of this transistor is connected to the output terminal of the 1st CMOS inverter circuit 5, the nMOS transistor Q3 with the large gate width of the 2nd transfer circuit 8 is transposed to a pMOS transistor with large gate width, and this transistor NOGETO is connected to the output terminal of 2nd CMOS inverter 6. Moreover, the nMOS transistors Q2 and Q4 with the small gate width of the 1st and 2nd transfer circuits 7 and 8 transpose this to a resistance element, or transpose it to a pMOS transistor with small gate width, and give the potential of a low to the gate.

[0028] At the time of this combination configuration, when the output of the 1st CMOS inverter circuit 5 is a low, the pMOS transistor of the 1st transfer circuit 7 flows, between that I/O becomes high conductance, and the potential of the 2nd output terminal 4 is controlled. When the output of the 2nd CMOS inverter circuit 6 is a low, the pMOS transistor of 2nd transfer circuit 8 ** can flow, between the I/O can become high conductance, the potential of the 1st output terminal 3 can be controlled, and the phase of the signal of the 1st and 2nd output terminal 3 and 4 can be arranged.

[0029] Next, a simulation result shows the effectiveness of the phase matching of the phase matching circuit of this invention to drawing 4. In addition, the circuit shown in drawing 5 which permuted the nMOS transistors Q2 and Q4 with the small gate width of the 1st and 2nd transfer circuits 7 and 8 in drawing 1 by the resistance element R of the equivalent, and constituted them was used here.

[0030] In drawing 4, the resistance of a resistance element R is shown on an axis of abscissa. Conductance is so large that this value is small. When resistance is infinity, it is the case (therefore, only nMOS transistor) where a resistance element is not connected at all. The phase contrast of a signal is shown on an axis of ordinate.

[0031] Dotted lines P2, P3, and P4 show the phase contrast ($Y2-Y1$) of the output signals Y1 and Y2 at the time of passing the phase matching circuit of this example for the phase contrast ($A2-A1$) of the input signals A1 and A2 which should turn into a complementary signal as a continuous line P1. When P1 makes one step the circuit shown in drawing 5, as P2 is shown in drawing 6, when two steps of phase matching circuits 13 of this example are connected through the inverter circuits 11 and 12 for reversal prevention in between, P3 shows the property when three steps connect similarly.

[0032] In drawing 4, when there is phase contrast of 130ps(es) with the phase characteristic P1 of an input signal, by passing one step of phase matching circuit of this example shows that phase contrast decreases, as shown in a property P2. In the case of this simulation, when it considers that ** counts upon fluctuation of that the sign of phase contrast will be reversed if the resistance of a resistance element R is too small, and the phase contrast by the variation in that resistance, as for resistance, it is desirable to be referred to as 4-7Kohm (about 5Kohm). In 5Kohm, phase contrast is reduced by 50ps(es) in a property P2.

[0033] Moreover, by making multistage connection of the phase matching circuit of this example shows that it becomes possible to mitigate phase contrast further so that more clearly than properties P2-P4. When three-step cascade connection (property P4) is carried out by resistance 5Kohm, phase contrast can be mostly made into zero.

[0034] Drawing 7 is the block diagram of the 3rd example of a development escape of a phase matching circuit. 21-23 -- the 1st - the 3rd input terminal, and 24-26 -- the 1st - the 3rd output terminal, and 27-29

-- the 1- when a control terminal is set to a high level (or low), the 3rd grade A logical circuit, and 30-32 are the 1st which makes it flow through between an input terminal (terminal 1) and output terminals (terminal 2) - the 3rd transfer circuit.

[0035] Between the 1st input terminal 21 and the 2nd output terminal 25, the 2nd transfer circuit 31 is connected between the 2nd input terminal 22 and the 3rd output terminal 26, and the 3rd transfer circuit 32 is connected for the 1st transfer circuit 30 between the 3rd input terminal 23 and the 1st output terminal 24.

[0036] And the control terminal of the 1st transfer circuit 30 is connected to the output terminal of the 1st grade A logical circuit 27, the control terminal of the 2nd transfer circuit 31 is connected to the output terminal of the 2nd grade A logical circuit 28, and the control terminal of the 3rd transfer circuit 32 is connected to the output terminal of the 3rd grade A logical circuit 29.

[0037] The above 1st - the 3rd grade A logical circuits 27-29 will output low L (= V2 [v]), if high-level H (= V1 [v]) inputs as shown in drawing 8 . If low L inputs, the middle level M of high-level H and low L (= V3 [v], for example, $(V1+V2)/2[v]$) will be outputted, and if the middle level M inputs, high-level H will be outputted.

[0038] The input signal level of the 1st input terminal 21 is repeated in order of V1, V2, V3, V1, V2, and The input signal level of the 2nd input terminal 22 is repeated in order of V2, V3, V1, V2, V3, and Even if not both these signals have phase contrast in the order of V3, V1, V2, V3, and V1 repeatedly or there is phase contrast, the input signal level of the 3rd input terminal 23 is inputted so that it may be time amount shorter than the minimum pulse width of a signal.

[0039] In this example, even when input time difference is in both signals, as shown in drawing 9 , the output signal with which the phase gathered can be acquired from the 1st - the 3rd output terminal 24-26.

[0040] Drawing 10 is the block diagram showing the phase matching circuit which transformed the 3rd example of the above. The same sign was given to the same part as the part shown in drawing 7 . Here, the second category logical circuit 33 was connected between the 1st input terminal 21 and the input terminal of the 2nd grade A logical circuit 28, and the class C logical circuit 34 is connected between the 1st input terminal 21 and the input terminal of the 3rd grade A logical circuit 29.

[0041] If a signal V1 [v] inputs as shown in drawing 11 , a signal V3 [v] will be outputted, the second category logical circuit 33 will output a signal V1 [v], if a signal V2 [v] inputs, and if a signal V3 [v] inputs, it will output a signal V2 [v].

[0042] Moreover, if a signal V1 [v] inputs as shown in drawing 12 , a signal V2 [v] will be outputted, the class C logical circuit 34 will output a signal V3 [v], if a signal V2 [v] inputs, and if a signal V3 [v] inputs, it will output a signal V1 [v].

[0043] In the phase matching circuit shown in this drawing 10 , if V1, V2, V3, V1, V2, and the input signal repeated in order of ... are made to input into an input terminal 21, the signal with which the phase gathered can be acquired from the 1st - the 3rd output terminal 24-26.

[0044]

[Effect of the Invention] As mentioned above, according to the phase matching circuit of this invention, the complementary signal with which the phase of two complementary signals to input could be arranged, and the phase gathered from the single phase signal can be acquired now.

[0045] For this reason, since the phase of a complementary clock can be arranged by connecting this phase matching circuit, it is effective in raising the highest clock frequency of sequential circuits, such as DFF which operates in response to this complementary clock.

[0046] Moreover, since the complementary signal with which the phase gathered can be acquired, one propagation circuit becomes unnecessary and there is effectiveness which can lessen occupancy area of a circuit among 2 sets of circuits which were required in order to spread a complementary signal conventionally, the object for non-inverters, and the object for opposition.

[0047] Furthermore, since one propagation circuit becomes unnecessary among 2 sets of circuits, the object for non-inverters, and the object for opposition, by connecting the phase matching circuit of this invention, there is effectiveness which can lessen power consumption of a circuit.

[Translation done.]

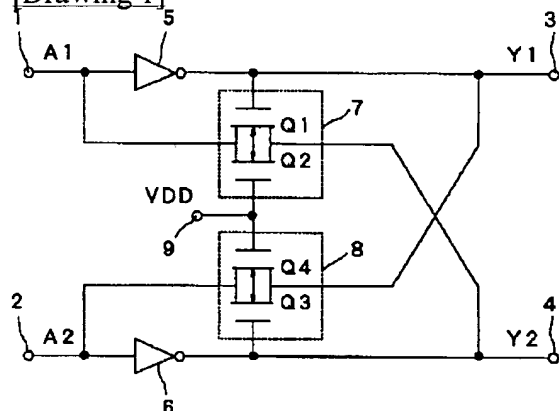
* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

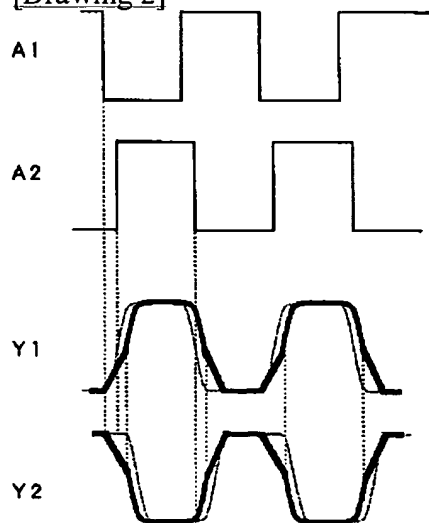
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

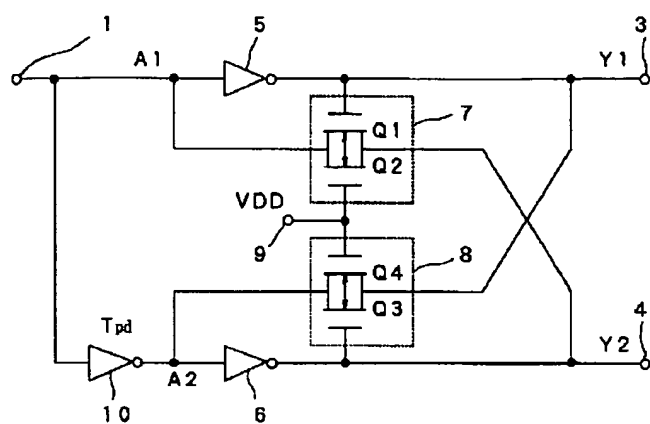
[Drawing 1]



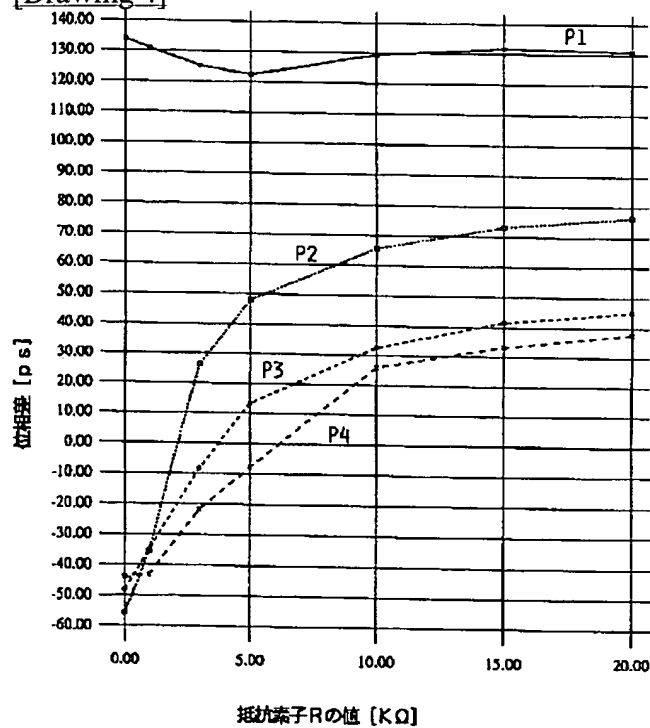
[Drawing 2]



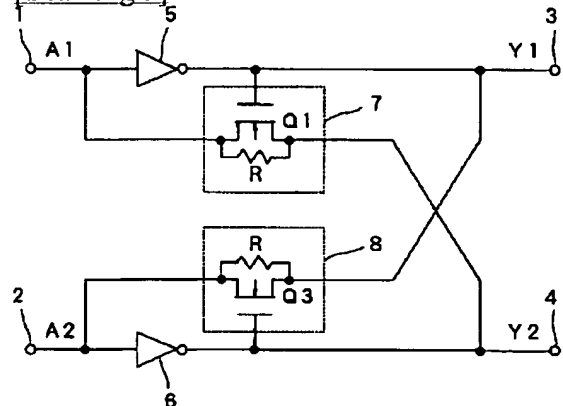
[Drawing 3]



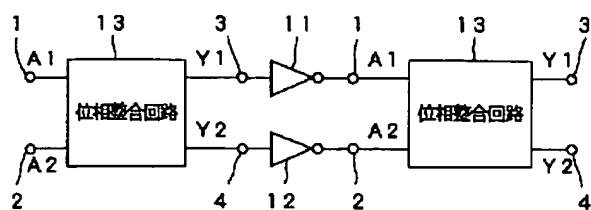
[Drawing 4]



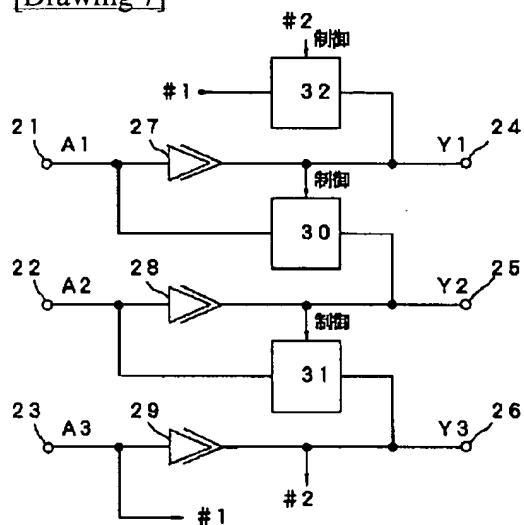
[Drawing 5]



[Drawing 6]

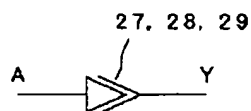


[Drawing 7]

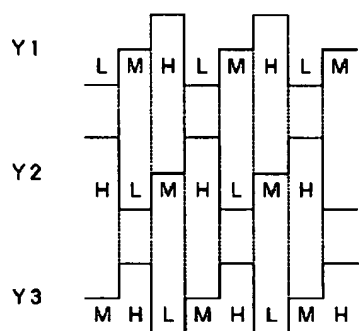


[Drawing 8]

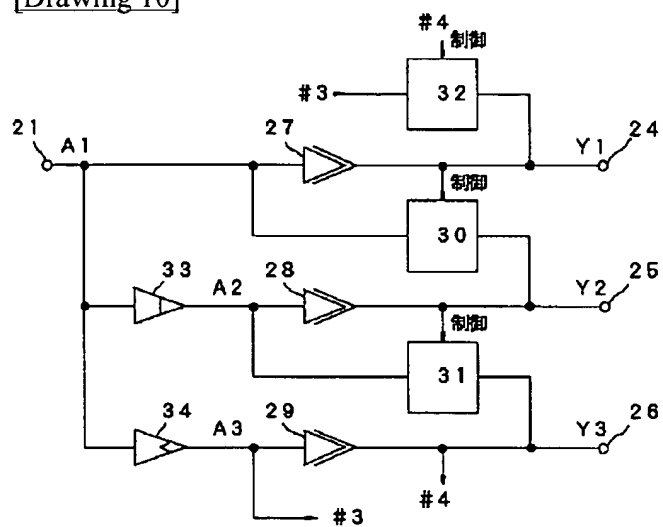
A	Y
H	L
L	M
M	H



[Drawing 9]

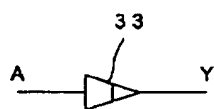


[Drawing 10]



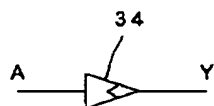
[Drawing 11]

A	Y
H	M
L	H
M	L

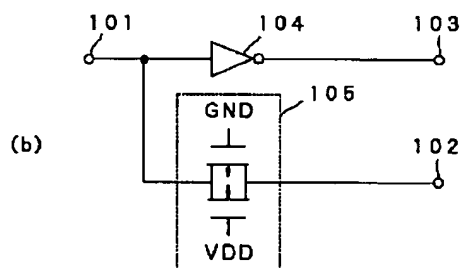
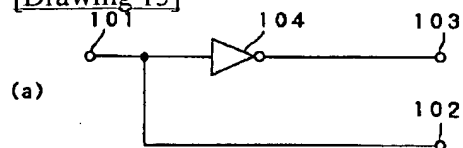


[Drawing 12]

A	Y
H	L
L	M
M	H



[Drawing 13]



[Translation done.]